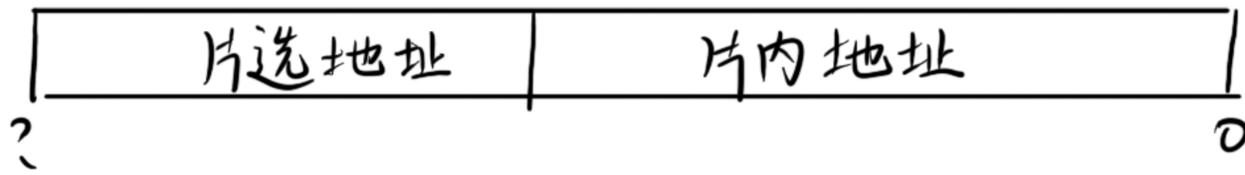


1. CPU 访问一个存储单元时, 发出一个完整的地址  
两个任务:

- ① 片选地址 找到是哪一片
- ② 片内地址 找到该芯片内部的“哪一个”单元。  
(位数由单个芯片的容量决定)



2. DRAM刷新方式.

集中刷新: 在固定时间内集中刷新所有行.

异步刷新: 将刷新操作分散在刷新周期内,  
每行刷新一次

刷新操作次数 = 行数. (按行刷新).

3. {
- 单个芯片层面 {
    - 决定位元阵列如何组织
    - 决定地址引脚数量
    - 决定刷新行数.
  - 整个存储器系统层面 {
    - 总容量.
    - 数据宽度.
    - 地址空间扩展.

4. RAM: 随机存取, 易失性, DRAM需要刷新.

ROM: 随机存取, 非易失, 不需刷新.

CD-ROM: 顺序/直接存取, 非随机

Flash: 非易失, 读写速度不对称, 随机访问

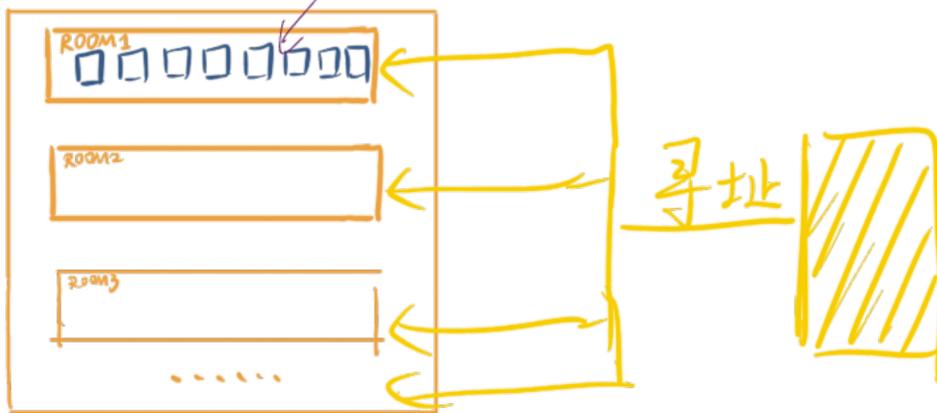
存储器:

64k × 8

物理构成单元  
逻辑功能体现

存储单元的总数  
"深度"  
决定了芯片需要多少根地址线来寻址。

每个存储单元的位数  
"宽度".  
决定了芯片有多少根数据线。



芯片: 解释和存储器完全相同

写入什么

地址线  
写入哪儿

片选线

译码驱动

存储矩阵

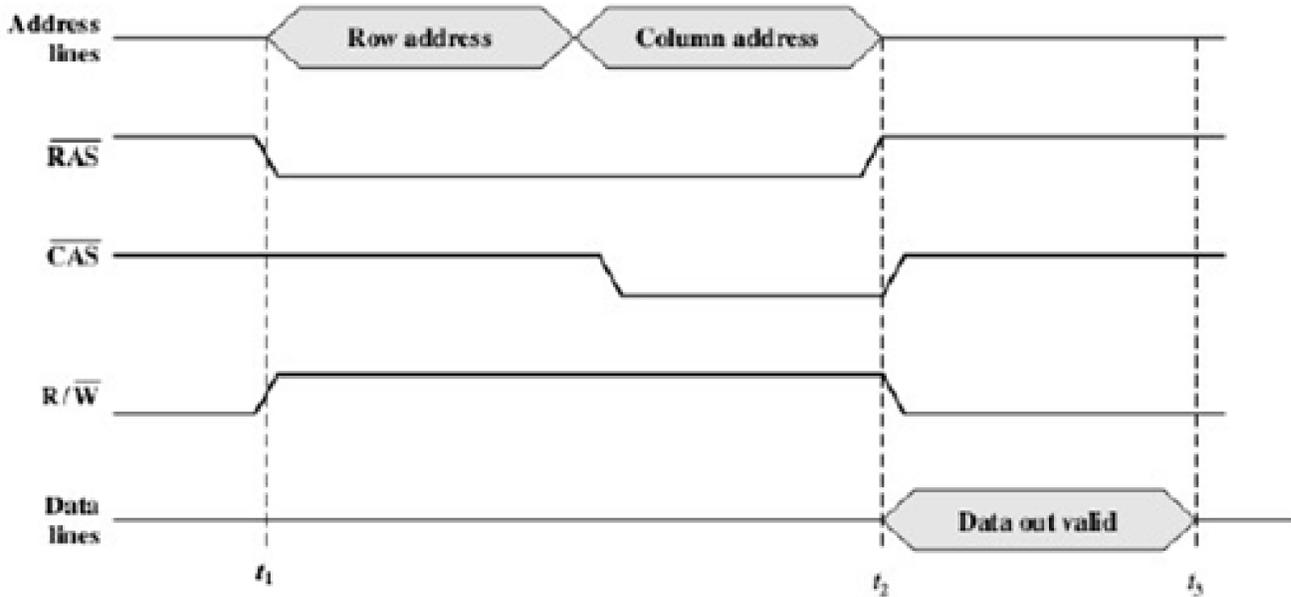
读写电路

数据线

读/写控制线  
(一根/两根)

# “计算机组织结构” 作业 4

1. 假设采用分散式刷新，下图表示一个 DRAM 经由总线的读操作的简化时序。存取时间认为是由  $t_1$  到  $t_2$ 。由  $t_2$  到  $t_3$  是刷新时间，此期间 DRAM 芯片必须再充电，然后处理器才能再次存取它们。



- a) 假定存取时间是 60ns，刷新时间是 40ns。问：存储周期是多少（单位：ns，精度：整数）？假定 1 位输出，这个 DRAM 所支持的最大数据传输率是多少（单位 Mbps，精度：整数）？

100ns.  
传输率  $1 \text{ bit} / 100 \text{ ns} = 10 \text{ Mbps}$ .  
 $\text{bps} = \frac{\text{bit}}{\text{s}}$

- b) 使用这些芯片构成一个 32 位宽的存储器系统，其产生的数据传输率是多少（单位 Mbps，精度：整数）？

32 位  $\Rightarrow 320 \text{ Mbps}$ .  
 $\Rightarrow \frac{1}{10^{-9} \times 100} \times \frac{1}{10^6} \text{ Mbps} = 10 \text{ Mbps}$ .

$1 \text{ KB} = 2^{10} \text{ B}$

2. 已知某机主存容量为 64KB，按字节编址。假定用  $1\text{K} \times 4$  位的 DRAM 芯片构成该存储器，请问：

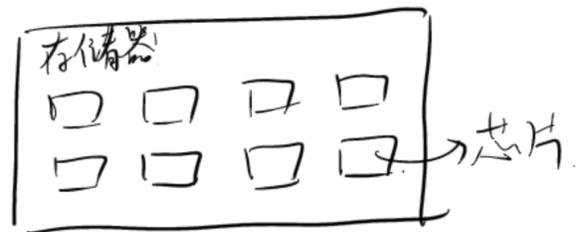
主存容量  $2^{16} \text{ B}$ .  
芯片内部有 1024 个存储单元，每个单元存 4 bit. (和地址计算无关).  
1KB.  
8bit

- a) 需要多少个这样的 DRAM 芯片？  
b) 主存地址共多少位？哪几位用于选片？哪几位用于片内选址？

128 个.  
 $2^{16}$  16.  $2^5 \times 2^{10} = 2^{15}$  10.

3. 假定用  $8\text{K} \times 8$  位的 EPROM 芯片组成  $32\text{K} \times 16$  位的只读存储器，请问

- a) 数据寄存器（用于存放数据）最少应有多少位？  
b) 地址寄存器（用于存放地址）最少应有多少位？  
c) 共需要多少个 EPROM 芯片？



决定位元阵列如何组织

4. 使用 32 个  $64\text{K} \times 1\text{bit}$  的 DRAM 芯片组成一个  $256\text{K} \times 8\text{bit}$  的存储器。

- a) 若采用集中刷新方式，则存储器刷新一次最少用多少次刷新操作？  
b) 若采用异步刷新方式，每单元刷新间隔不超过 2ms，则生成的刷新信号的间隔时间最长是多少？（保留一位小数，单位为  $\mu\text{s}$ ）

按行刷新.  
256.  
 $\frac{2 \text{ ms}}{256} \approx 7.8 \mu\text{s}$ .  
 $\rightarrow$  怎么算?  
 $\Rightarrow$  位元阵列.  
 $64\text{K} = 2^{16}$   
 $2^8$

c) 若改用  $16K \times 4bit$  的 DRAM 芯片构成上述  $256K \times 8bit$  的存储器，则以集中式刷新一遍所有单元需要多少次刷新操作?  $128$

5. 某计算机的主存地址空间大小为 64KB，按字节编址，已配有 0000H~7FFFH 的 ROM 区
- 若再用  $8K \times 4bit$  的 RAM 芯片填补剩余的地址空间，需要多少个这样的芯片?
  - 假定将该计算机的主存地址空间升级为 16MB，ROM 去地址范围还是 000000H~007FFFH，剩下的所有地址空间都用  $8K \times 4bit$  的 RAM 芯片配置，需要多少个这样的芯片?

6. 【2011 统考真题】下列各类存储器中，不采用随机存取方式的是 (B)

A. EPROM

B. CD-ROM 光盘

C. DRAM

D. SRAM

随机存取是指 CPU 可对存储器的任一存储单元中的内容随机存取，而且存取时间与存储单元的物理位置无关。A、C 和 D 均采用随机存取方式，CD-ROM 即光盘，采用串行存取方式。注意，CD-ROM 是只读型光盘存储器，其访问方式是顺序访问，不属于只读存储器 ROM。

7. 【2010 统考真题】下列有关 RAM 和 ROM 的叙述中，正确的是 (A)

I. RAM 是易失性存储器，ROM 是非易失性存储器 ✓

II. RAM 和 ROM 都采用随机存取方式进行信息访问 ✓

III. RAM 和 ROM 都可用作 Cache X. Cache: SRAM

IV. RAM 和 ROM 都需要进行刷新 X.

A. 仅 I 和 II

B. 仅 II 和 III

C. 仅 I、II 和 III

D. 仅 II、III 和 IV

闪存是 E<sup>2</sup>PROM 的进一步发展，可读可写，用 MOS 管的浮栅上有无电荷来存储信息。闪存依然是 ROM 的一种，写入时必须先擦除原有数据，因此写速度比读速度要慢不少(硬件常识)。闪存是一种非易失性存储器，它采用随机访问方式。现在常见的 SSD 固态硬盘，它由 Flash 芯片组成。

8. 【2012 统考真题】下列关于闪存的叙述中，错误的是 (A)

A. 信息可读可写，并且读、写速度一样快

B. 存储元由 MOS 管组成，是一种半导体存储器

C. 掉电后信息不丢失，是一种非易失性存储器

D. 采用随机访问方式，可替代计算机外部存储器

9. 【2014 统考真题】某容量为 256MB 的存储器由若干  $4M \times 8$  位的 DRAM 芯片构成，该 DRAM 芯片的地址引脚和数据引脚总数是 (A)

A. 19

B. 22

C. 30

D. 36

$$\log_2(4 \times 2^{20}) = 22$$

DRAM: 地址复用  $\Rightarrow$  11 根.

$$M: 2^{20} \star$$

10. 【2015 统考真题】下列存储器中，在工作期间需要周期性刷新的是 ( B )。

- A. SRAM
- B. SDRAM
- C. ROM
- D. Flash

11. 【2015 统考真题】某计算机使用四体交叉编址存储器，假定在存储器总线上出现的主存地址(十进制)序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000, 则可能发生访存冲突的地址对是 ( D )。

- A. 8004 和 8008
- B. 8002 和 8007
- C. 8001 和 8008
- D. 8000 和 8004

每个访存地址对应的存储模块序号 (0, 1, 2, 3) 如下所示:

访存地址	8005	8006	8007	8008	8001	8002	8003	8004	8000
模块序号	1	2	3	0	1	2	3	0	0

其中, 模块序号 = 访存地址 % 存储器交叉模块数。

判断可能发生访存冲突的规则如下: 给定的访存地址在相邻的四次访问中出现在同一个存储模块内。据此, 根据上表可知 8004 和 8000 对应的模块号都为 0, 即表明这两次的访问出现在同一模块内且在相邻的访问请求中, 满足发生冲突的条件。

12. 【2017 统考真题】某计算机主存按字节编址, 由 4 个 64M×8 位的 DRAM 芯片采用交叉编址方式构成, 并与宽度为 32 位的存储器总线相连, 主存每次最多读写 32 位数据。若 double 型变量 x 的主存地址为 804 001AH, 则读取 x 需要的存储周期数是 ( C )。

- A. 1
- B. 2
- C. 3
- D. 4

13. 【2009 统考真题】某计算机主存容量为 64KB, 其中 ROM 区为 4KB, 其余为 RAM 区, 按字节编址。现要用 2K×8 位的 ROM 芯片和 4K×4 位的 RAM 芯片来设计该存储器, 需要上述规格的 ROM 芯片数和 RAM 芯片数分别是 ( D )。

- A. 1, 15
- B. 2, 15
- C. 1, 30
- D. 2, 30

14. 【2010 统考真题】假定用若干 2K×4 位的芯片组成一个 8K×8 位的存储器, 则地址 0B1FH 所在芯片的最小地址是 ( D )。

- A. 0000H
- B. 0600H
- C. 0700H
- D. 0800H

用 2K×4 位的芯片组成一个 8K×8 位存储器, 每行中所需芯片数为 2, 每列中所需芯片数为 4, 各行芯片的地址分配如下:

第一行 (2 个芯片并联): 0000H ~ 07FFH

第二行 (2 个芯片并联): 0800H ~ 0FFFH

第三行 (2 个芯片并联): 1000H ~ 17FFH

第四行 (2 个芯片并联): 1800H ~ 1FFFH

可知, 地址 0B1FH 在第二行, 且所在芯片的最小地址为 0800H。

15. 【2011 统考真题】某计算机存储器按字节编址, 主存地址空间大小为 64MB, 现用 4M×8

位的RAM芯片组成32MB的主存储器,则存储器地址寄存器MAR的位数至少是( )。

- A. 22 位
- B. 23 位
- C. 25 位
- D. 26 位

MAR的位数反映了主存地址空间的大小。  
(应该考虑存储器扩展的需求)。

16. 【2016 统考真题】某存储器容量为64KB,按字节编址,地址4000H~5FFFH为ROM区,其余为RAM区。若采用8K×4位的SRAM芯片进行设计,则需要该芯片的数量是( )。

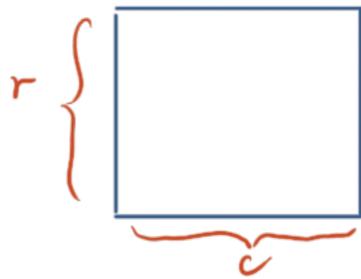
- A. 7
- B. 8
- C. 14
- D. 16

$$56KB \downarrow \frac{56}{8} \times 2 = 14$$

$$5FFFH - 4000H + 1 = 2000H \\ 2^{13} B = 8KB$$

17. 【2018 统考真题】假定DRAM芯片中存储阵列的行数为r、列数为c,对于一个2K×1位的DRAM芯片,为保证其地址引脚数最少,并尽量减少刷新开销,则r、c的取值分别是( )。

- A. 2048, 1
- B. 64, 32
- C. 32, 64
- D. 1, 2048



根据DRAM的结构和原理可知,在分时复用的情况下,芯片引脚个数取决于行地址线和列地址线中的较大值,对于一个2K×1位的DRAM芯片,总共需要11条地址线,只有一个取5,一个取6时可使管脚数最小,而DRAM的刷新开销取决于行数,因此行地址线应该为5、列地址线为6,即行数 $2^5=32$ ,列数为 $2^6=64$ 。

18. 【2021 统考真题】某计算机的存储器总线中有24位地址线和32位数据线,按字编址,字长为32位。如果000000H~3FFFFFFH为RAM区,那么需要512K×8位的RAM芯片数为( )。

- A. 8
- B. 16
- C. 32
- D. 64

$$4 \times 16^5 = 2^{22} \\ \frac{2^{22}}{2^{19}} \times \frac{32}{8}$$

$2^{24}$   
(无用)

32位。  
 $2^{19} \times 8$ 位。